

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 2000-111867

(43)Date of publication of application: 21.04.2000

(51)Int.Cl.

602F 1/133

609B 3/20

609B 3/36

(21)Application number: 10-283011

(71)Applicant: SEIKO EPSON CORP

(22)Date of filing: 05.10.1998

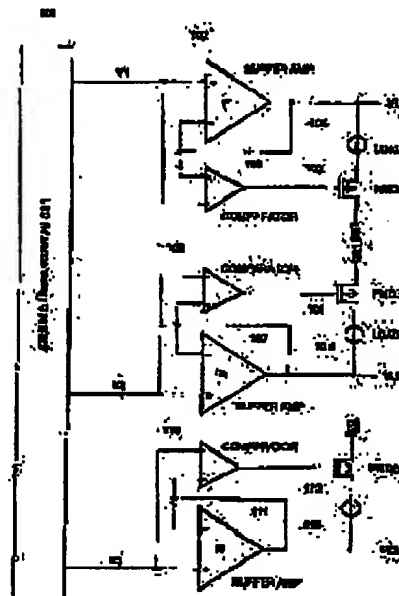
(72)Inventor: NISHIMAKI TATSUO

## (54) LIQUID CRYSTAL DRIVING POWER SOURCE CIRCUIT

## (57)Abstract

**PROBLEM TO BE SOLVED:** To make it possible to switch an output impedance of an liquid crystal drive voltage output according to a load condition of a liquid crystal panel.

**SOLUTION:** This liquid crystal driving power source circuit is composed of a reference voltage generation circuit 101 for forming driving voltages at plural levels, voltage-follower type buffer amplifiers 102, 107, 111 for converting V1, V2, and V3 in impedance, comparators 103, 106, 110 provided with input offsets for comparing the outputs of the buffer amplifiers with the inputs of the buffer amplifiers, and load circuits to the driving voltages controlled by the outputs from the comparators. In such a manner, there is the effect of realizing a low current consumption in a liquid crystal driving voltage output circuit by reducing the output impedance of the liquid crystal driving circuit only in a necessary case according to a load of an arbitrary size of a liquid crystal panel. Moreover, it is unnecessary to connect a capacitor for stabilizing the liquid crystal output, and also it becomes possible to reduce the number of parts and the number of terminals of the semiconductor integrated circuit.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

JP2000-111867

- 1 -

---

**CLAIMS**


---

**[Claim(s)]**

[Claim 1] The liquid crystal reference voltage generating circuit which forms the driver voltage of two or more level in a semiconductor integrated circuit, The voltage follower mold buffer amplifier for carrying out impedance conversion of each liquid crystal drive reference voltage formed of said liquid crystal reference voltage generating circuit, The comparator which gave input offset voltage intentionally for comparing said liquid crystal drive reference voltage inputted into the noninverting input of the liquid crystal driver voltage outputted from said buffer amplifier, and said buffer amplifier, The liquid crystal drive power circuit characterized by consisting of a load circuit to said driver voltage controlled by the output from said comparator.

---

[Translation done.]

---



---

**DETAILED DESCRIPTION**


---

**[Detailed Description of the Invention]****[0001]**

[Field of the Invention] This invention relates to the liquid crystal drive power circuit of a semiconductor integrated circuit.

**[0002]**

[Description of the Prior Art] In the conventional liquid crystal driver voltage generating circuit, in order to reduce the penetration currents which flow to an output stage, like drawing 2, the output of the liquid crystal driver voltage VL 1 by the side of VDD consists of combination of the P-channel MOS output 203 and the load 208 with a built-in VSS side, and the output of the liquid crystal driver voltage VL 2 by the side of VSS consists of built-in loads 307 by the side of the N-channel MOS output 308 and VDD conversely, as shown in drawing 3. Said built-in load is formed of an MOS transistor or a resistance component, and the built-in load of each liquid crystal drive output circuit serves to stabilize a liquid crystal driver voltage output at this time. As shown in drawing 2, VL is liquid crystal reference voltage, and VL1 is the output by which impedance conversion was carried out in the liquid crystal reference voltage VL in the buffer amplifier circuit by which voltage follower connection was made. The size of a liquid crystal panel is large, and when the liquid crystal panel load to the liquid crystal driver voltage output VL 1 is large, the output of VL1 will be lengthened to + potential and - potential side. Since the output stage of buffer amplifier consists of a transistor of Pch, and a load by the side of VSS in the case of VL1 output, the correspondence to the

JP2000-111867

- 2 -

load by the side of + potential is easy. However, since the output of VL1 requires the load by the side of + potential depending on the timing of a liquid crystal drive wave, in order to stabilize the output of VL1 at this time and to maintain the quality of a liquid crystal display, it is an ideal to make into low impedance the built-in load by the side of VSS built, the output, i.e., the power circuit, of buffer amplifier. However, since a current will be regularly passed for a built-in load, when the consumed electric current in a liquid crystal driver voltage generating circuit is taken into consideration, it is necessary to raise an impedance to some extent. Similarly, although the correspondence to change of the load by the side of + potential of VL2 output is easy since the output of the liquid crystal driver voltage VL 2 by the side of VSS consists of built-in loads by the side of the N-channel MOS output and VDD, as for the built-in load by the side of VDD, it is desirable that it is low impedance because of the correspondence to the load by the side of - potential.

[0003] Although it was possible to have designed the optimal power circuit by setting up a load with a built-in VDD side and a load with a built-in VSS side in consideration of power consumption when the size of the liquid crystal panel to drive was fixed, in the general-purpose liquid crystal drive circuit included in an

one-chip microcomputer etc., the size of the liquid crystal panel to drive was unfixed, and it was difficult to offer the liquid crystal driver voltage generating circuit suitable for the load of various liquid crystal panels.

[0004] For this reason, with the conventional technique, since it enabled it to correspond to the load effect at the time of a drive wave change rate with a large change of the load to the liquid crystal driver voltage output under liquid crystal panel drive as shown in drawing 4, it corresponded by changing a load in accordance with the timing from which a liquid crystal drive wave switches.

[0005] By making a built-in load increase at the time of the timing from which a liquid crystal drive wave switches by this, the output impedance of buffer amplifier is lowered and fluctuation of the load of a liquid crystal panel is supported. Or the exclusive terminal for outputting liquid crystal driver voltage is prepared on a semiconductor integrated circuit, the capacity for driver voltage stabilization between power-source glands is connected with said exclusive terminal, a liquid crystal drive wave switches by storing up a charge in capacity, and fluctuation of the drive load of the rapid liquid crystal panel at the time is supported.

[0006]

[Problem(s) to be Solved by the Invention] By the conventional method,

JP2000-111867

- 3 -

in order to stabilize liquid crystal driver voltage, capacity needed to be connected to the semiconductor integrated circuit exterior. For this reason, the components to mount will increase and it leads to the cost rise of mounting. On the other hand, for a semiconductor integrated circuit, since it is necessary to prepare the terminal of a liquid crystal drive output, the fault that the chip size of a semiconductor integrated circuit cannot be made small arises.

[0007] moreover, as an approach of reducing the capacity for stabilization of the liquid crystal driver voltage of the semiconductor integrated circuit exterior. Although there is the approach of raising the response to the liquid crystal panel load of a liquid crystal driver voltage output by the drive wave of liquid crystal switching like drawing 4, enlarging the built-in load current of a liquid crystal driver voltage output at the time, and lowering the impedance of an output. Since it is not based on the size of a liquid crystal panel, and the situation of a load but the load current is passed periodically, the power consumption in a liquid crystal driver voltage generating circuit will become large. Furthermore the size of a liquid crystal panel becomes large, and there is fault that the time amount is too short and the quality of a liquid crystal display deteriorates depending on the timing which passes the built-in load current when the load of a liquid crystal

drive is large.

[0008]

[Means for Solving the Problem] The liquid crystal reference voltage generating circuit which forms the driver voltage of two or more level in a semiconductor integrated circuit, The voltage follower mold buffer amplifier for carrying out impedance conversion of each liquid crystal drive reference voltage formed of said liquid crystal reference voltage generating circuit, The comparator which gave input offset voltage intentionally for comparing said liquid crystal drive reference voltage inputted into the noninverting input of the liquid crystal driver voltage outputted from said buffer amplifier, and said buffer amplifier, It is characterized by consisting of a load circuit to said driver voltage controlled by the output from said comparator.

[0009]

[Function] According to this invention, as shown in drawing 5, the comparator constituted by 511 to 515 compares the liquid crystal driver voltage output VL1 which carried out impedance conversion of the V1 and V1 which are liquid crystal reference voltage with the buffer amplifier constituted by 501 to 507 and 510. By making the N-channel MOS transistor 509 linked to the load by the side of VSS turn on, and increasing the built-in load 508 by the side of VSS, when the output potential of VL1 has shifted to

JP2000-111867

- 4 -

the VDD side with the load of a liquid crystal panel. The output impedance of the liquid crystal driver voltage output VL 1 is made low, and the output potential VL 1 from buffer amplifier is stabilized. When completed as the same electrical potential difference as V1 by the output voltage of VL1, by making said N-channel MOS transistor 509 turn off, and making a built-in load only into the MOS transistor of 507, the current consumed in the output stage of buffer amplifier is reduced.

[0010] Also about the liquid crystal driver voltage output VL 2 by the side of VSS, the output impedance of the buffer amplifier of the liquid crystal drive output VL 2 is controlled by the same method, and the output voltage of VL2 is stabilized.

[0011] Furthermore, MOS transistor 501 and MOS transistor 514 of an actuation magnification stage of the above-mentioned comparator circuit shown in drawing 5 are formed so that the channel length of a transistor may differ, respectively, and thereby, they are giving input offset voltage VOF intentionally. By lengthening the channel length of MOS transistor 514 compared with MOS transistor 513, the offset voltage of plus called judgment electrical-potential-difference  $=VL1+VOF$  is given. It prevents that the N-channel MOS transistor linked to the load by the side of VSS in the condition of  $V1=VL1$

which is a stable state by this always turns on, and has an operation of preventing the increment in the consumed electric current.

[0012] As mentioned above, the above effectiveness is acquired to each voltage output by \*\* which takes the same configuration as each liquid crystal driver voltage output.

[0013]

[Embodiment of the Invention] Drawing 1 is drawing equivalent to claim 1 of this invention. 101 in drawing is a reference voltage generating circuit which generates the reference voltage for a liquid crystal drive. From this reference voltage generating circuit, the reference voltage of two or more level according to the drive bias of a liquid crystal panel is outputted. One example of this reference voltage generating circuit is shown in drawing 6. Drawing 6 is an example when outputting the liquid crystal drive reference voltage of  $1/3$  bias. + Fixed resistance R1, R2, and R3 and variable resistance R4 divided between the side power source VDD and - side power source VSS, and the reference voltages V1, V2, and V3 for a liquid crystal drive are generated. By making resistance R4 in a semiconductor device into variable resistance, liquid crystal driver voltage can be adjusted and contrast adjustment of a liquid crystal display is attained. Since the resistance of R1 to R4 is comparatively high in order to reduce the

JP2000-111867

- 5 -

consumed electric current, and it is necessary to set up, the output impedance of V1, V2, and V3 becomes high.

[0014] 102 and 103 of drawing 1 are the buffer amplifier for carrying out impedance conversion of the liquid crystal drive reference voltage of V1, V2, and V3 from the reference voltage generating circuit for a liquid crystal drive, and connection is carried out with the voltage follower. VL1, VL2, and VL3 are the outputs of liquid crystal driver voltage by which impedance conversion was carried out with the buffer amplifier 102, 106, 110. Since the load by the side of the minus to VL2 and VL3 becomes main as a liquid crystal panel load of VL1 which is an output near VDD, the output buffer of P-channel MOS as shown in drawing 2 is chosen. Conversely, since the liquid crystal panel load to the driver voltage output of VL2 and VL3 becomes main [ the load by the side of plus ], the output buffer of N-channel MOS as shown in drawing 3 is chosen.

[0015] Here, VL1 with the P-channel MOS output buffer is explained. 103 in drawing 1 is a comparator which compares the voltage level of the output VL 1 of the buffer amplifier of 102, and the noninverting input V1 of buffer amplifier. Connection of the output of this comparator is carried out to the gate of N-channel MOS which controls the built-in load by the side of VSS of VL1 of

104, and it controls the built-in load current to VL1. When the voltage level of VL1 inputted into the noninverting input of a comparator 103 is higher than the voltage level of V1 inputted into the reversal input of a comparator 103, a high level is outputted and N-channel MOS which controls the load to VL1 of 105 turns on the output of a comparator 103. Conversely, when the level of VL1 is lower than the judgment electrical potential difference of a comparator which is the sum of the offset voltage VOF given to the actuation stage of V1 inputted into the reversal input of a comparator 103, and a comparator 103, N-channel MOS of 105 turns off and reduces the consumed electric current. The load of 104 controlled by the N-channel MOS transistor of 105 may be determined in consideration of the area which a manufacturing cost and its load occupy, may be formed of a diffused resistor or the resistance component of POLY by which ion implantation was carried out, and may consist of MOS transistors. Moreover, it is imagined easily that there is no problem in the load to MOS which controls the load of 104, and VL1 of 104 acquiring the effectiveness of this invention even if MOS of 105 is inserted in the VL1 side by the situation and the load of 104 is inserted in the VSS side in any way.

[0016] One example in the transistor level of this invention is shown in

JP2000-111867

- 6 -

drawing 5 . The inside VG of drawing is intermediate voltage with a certain fixed value generated from a current regulator circuit. The current consumed by buffer amplifier and the comparator with this electrical potential difference is controlled. It consists of an MOS transistor of 501 to 507, and resistance 510 the buffer amplifier sections which carry out impedance conversion of the input of V1 to VL1. The N-channel MOS transistor of 507 is a minimum load for stabilizing VL1, and, in the case of this invention, the value of this load current does not have a problem by several microampere or the load not more than it. It consists of MOS transistors of 511 to 515 the comparator. The voltage level of V1 is compared with the voltage level of VL1, and the MOS transistor of 509 is controlled by the result. In order to give input offset voltage, size is changed and the MOS transistor of 513 which consists of Miller circuits, and the MOS transistor of 514 are formed so that the capacity may differ.

[0017] In the case of drawing 5 , the capacity of the MOS transistor of 514 is set up so that it may become small compared with the capacity of the MOS transistor of 513. The input offset voltage by the side of plus is given to the comparator which consists of MOS transistors of 511 to 515 by this. It is easily realizable by setting up channel length for a long time as an approach of

adjusting the capacity of the MOS transistor of 514 small, compared with the MOS transistor of 513. Narrowing channel width otherwise can also respond. It is realizable also by being on manufacture about the threshold voltage of 514 as further 513, and adjusting. It connects with the MOS transistor of 509 and the output of this comparator controls ON/OFF of the load of 508. The load current to VL1 which flows for the load 508 when MOS of 509 turns on with the output from a comparator needs to be set up more greatly. Although making it operate even if it loses the load of 507 in the example of drawing 5 , of course does not have a problem, when the speed of response of a comparator etc. is taken into consideration, low consumed electric current actuation by which the direction which gave a certain amount of load current as constituted in 507 was stabilized is realized. It is possible to acquire the above-mentioned effectiveness with constituting a circuit similarly about the output of VL2 and VL3. However, the output turns into the N-channel MOS output about VL [ of 1 / 3 bias liquid crystal drive circuit ] 2, and VL3 output. It becomes possible to make the liquid crystal driver voltage which changed the output impedance automatically and was stabilized by the above by controlling the load current of the output of liquid crystal driver voltage in accordance with the load profile

JP2000-111867

- 7 -

initiation of a liquid crystal panel output.

[0018]

[Effect of the Invention] According to this invention, the liquid crystal driver voltage output after carrying out impedance conversion of liquid crystal drive reference voltage and the liquid crystal drive reference voltage is measured, and it becomes possible by controlling the load of a liquid crystal driver voltage output by the comparison result automatically to change the output impedance of a liquid crystal driver voltage output according to the situation of the load of a liquid crystal panel. For this reason, in a single liquid crystal driver voltage output circuit, it becomes possible to offer the optimal liquid crystal drive power circuit for each, and it swerves and a small liquid crystal panel to the small liquid crystal panel with big size of a load can consider as the necessary minimum consumed electric current at \*\*. Moreover, since the need of connecting the capacity for stabilizing a liquid crystal driver voltage output to IC exterior in order to control automatically the output impedance of a liquid crystal driver voltage output by the liquid crystal driver voltage output circuit is lost and arrangement of the terminal for capacity connection becomes unnecessary, the liquid crystal driver voltage output circuit by this invention becomes possible [ offering a small liquid crystal driver voltage output circuit ].

[Translation done.]

## DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The liquid crystal driver voltage output circuit Fig. showing the circuitry of claim 1 of this invention.

[Drawing 2] The Pch-MOS output circuit Fig. of the conventional liquid crystal driver voltage output circuit.

[Drawing 3] The Nch-MOS output circuit Fig. of the conventional liquid crystal driver voltage output circuit.

[Drawing 4] Drawing of the conventional liquid crystal driver voltage output circuit.

[Drawing 5] The Pch-MOS output detail circuit diagram of the liquid crystal driver voltage output circuit of this invention.

[Drawing 6] Liquid crystal drive reference voltage generating circuit diagram.

[Description of Notations]

LCD Reference Voltage Generator .....

Liquid crystal reference voltage generating circuit

BUFFER AMP ..... Operational amplifier with which voltage follower connection of [ for carrying out impedance conversion of the liquid crystal reference voltage ] was



JP2000-111867

- 8 -

made  
COMPARATOR ..... Comparator  
LOAD ..... Current load circuit to a liquid  
crystal voltage output  
VDD ..... + side power source  
VSS ..... - side power source  
V1 ..... 1st liquid crystal reference  
voltage  
V2 ..... 2nd liquid crystal reference  
voltage  
V3 ..... 3rd liquid crystal reference  
voltage  
VL1 ..... 1st liquid crystal driver voltage  
output  
VL2 ..... 2nd liquid crystal driver voltage  
output  
VL3 ..... 3rd liquid crystal driver voltage  
output  
VG ..... Intermediate voltage with the  
fixed value generated from a current  
regulator circuit  
Pch Output ..... P-channel MOS output  
Nch Output ..... N-channel MOS output  
LOADRcistor ..... Resistance load  
LCD Drive Waveform ..... Liquid crystal  
drive wave  
Vbias ..... Liquid crystal driver voltage  
output load control signal  
R1 ..... Resistance of the 1st of a liquid  
crystal reference voltage generating  
circuit  
R2 ..... Resistance of the 2nd of a liquid  
crystal reference voltage generating  
circuit  
R3 ..... Resistance of the 3rd of a liquid  
crystal reference voltage generating

circuit  
R4 ..... The 4th variable resistance of a  
liquid crystal reference voltage  
generating circuit

---

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-111867

(P2000-111867A)

(43) 公開日 平成12年4月21日 (2000.4.21)

(5) Int.Cl.	識別記号	F I	キーワード(参考)
G 0 2 F 1/133	5 2 0	G 0 2 F 1/133	5 2 0 2 H 0 9 3
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 0 6
	6 1 2		6 1 2 A 5 C 0 8 0
3/36		3/36	

審査請求 未請求 請求項の数1 O L (全 6 頁)

(21) 出願番号 特願平10-283011

(22) 出願日 平成10年10月5日 (1998.10.5)

(71) 出願人 000002389

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 西牧 辰夫

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 吾三郎 (外2名)

Fターム(参考) 2H093 NC03 NC25 ND39 ND49

5C006 AF51 BF14 BF15 BF25 BF32

BF34 BF43 EB05 FA42 FA47

FA51

5C080 AA10 DD23 DD26 DD27 FF03

JJ03 JJ04

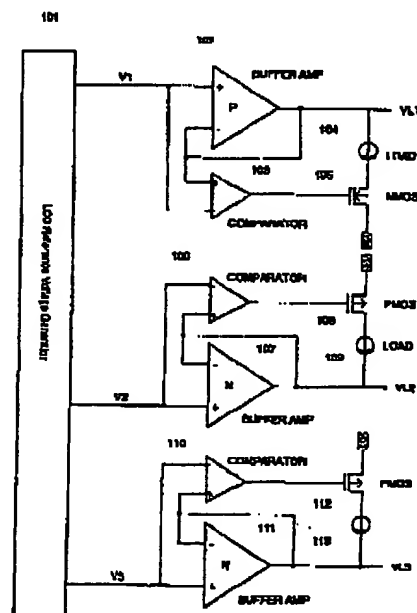
(54) 【発明の名称】 液晶駆動電源回路

(57) 【要約】

【課題】消費電流と液晶駆動電圧出力の安定性を考慮した場合、液晶駆動電圧出力回路の出力インピーダンスの設定は液晶パネルのサイズにより異なるため、最適な出力インピーダンスの設定が難しいという課題があった。

【解決手段】複数の駆動電圧を形成する基準電圧発生回路101と、V1、V2、V3をインピーダンス変換するためのオペアンプ102、107、111と、オペアンプの出力と前記バッファの出力を比較するための入力増幅器を持たせた比較器103、106、110と、比較器からの出力により制御される前記駆動電圧への負荷回路からなる。

【効果】液晶駆動電圧出力回路において、任意の液晶パネルのサイズの負荷に対応し、必要な場合のみ液晶駆動回路の出力インピーダンスを下げる事により、低消費電流を実現する効果がある。また、液晶駆動出力安定化のための容量を接続する必要が無く、部品点数の削減と半導体集積回路の端子削減が可能となる。



(2)

特開2000-111867

1

【特許請求の範囲】

【請求項1】半導体集積回路において、複数レベルの駆動電圧を形成する液晶基準電圧発生回路と、前記液晶基準電圧発生回路により形成されたそれぞれの液晶駆動基準電圧を、インピーダンス変換するためのボルテージフォロア型バッファアンプと、前記バッファアンプより出力される液晶駆動電圧と前記バッファアンプの非反転入力へ入力される前記液晶駆動基準電圧を比較するための作動的に入力オフセット電圧を持たせた比較器と、前記比較器からの出力により制御される前記駆動電圧への負荷回路からなることを特徴とする液晶駆動電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路の液晶駆動電源回路に関する。

【0002】

【従来の技術】従来の液晶駆動電圧発生回路においては、出力段に流れる貫通電流を削減するため、図2のように、VDD側の液晶駆動電圧VL1の出力はP型MOS出力203とVSS側内蔵負荷208の組み合わせで構成され、逆にVSS側の液晶駆動電圧VL2の出力は図3に示すようにN型MOS出力308とVDD側への内蔵負荷307で構成される。前記内蔵負荷はMOSトランジスタまたは、抵抗成分で形成され、この時それぞれの液晶駆動出力回路の内蔵負荷は、液晶駆動電圧出力を安定させる働きをする。図2に示すようにVL1は液晶基準電圧であり、VL1は液晶基準電圧VL1をボルテージフォロア接続されたバッファアンプ回路によりインピーダンス変換された出力である。液晶パネルのサイズが大きき、液晶駆動電圧出力VL1への液晶パネル負荷が大きい場合、VL1の出力は+電位側や 電位側へ引かれる事になる。VL1出力の場合、バッファアンプの出力段はPchのトランジスタとVSS側への負荷で構成されているため、+電位側への負荷への対応は容易である。しかしながら、液晶駆動波形のタイミングによってはVL1の出力は+電位側への負荷がかかることもあり、この時VL1の出力を安定化させ液晶表示の品質を維持するためにはバッファアンプの出力つまり、電源回路に内蔵されるVSS側への内蔵負荷を低インピーダンスとすることが理想である。しかし、内蔵負荷には定常的に電流を流す事になるため、液晶駆動電圧発生回路での消費電流を考慮した場合、ある程度インピーダンスを上げる必要がある。同様にVSS側の液晶駆動電圧VL2の出力はN型MOS出力とVDD側への内蔵負荷で構成されるため、VL2出力の+電位側への負荷の変化への対応は容易であるが、-電位側への負荷への対応のためにVDD側への内蔵負荷は低インピーダンスであることが望ましい。

【0003】駆動する液晶パネルのサイズが一定であれば、消費電流を考慮してVDD側内蔵負荷およびVSS

2

側内蔵負荷を設定することにより最適な電源回路を設計することは可能であるが、ワンチップマイクロコンピュータ等に組み込まれる汎用的な液晶駆動回路においては、駆動する液晶パネルのサイズは不定であり、様々な液晶パネルの負荷に適した液晶駆動電圧発生回路を提供することは難しかった。

【0004】このため従来技術では、図4に示すように液晶パネル駆動中における、液晶駆動電圧出力への負荷の変化が大きい駆動波形切り替わり時における、負荷変動に対応できるようにするため、液晶駆動波形の切り替わりのタイミングにあわせて負荷を切り替えることで対応していた。

【0005】これにより液晶駆動波形の切り替わりのタイミング時に内蔵負荷を増加させる事により、バッファアンプの出力インピーダンスを下げ、液晶パネルの負荷の変動に対応している。または、半導体集積回路上に液晶駆動電圧を出力するための専用端子を設け、前記専用端子と電流グラウンド間に駆動電圧安定化のための容量を接続し、容量に電荷を蓄積させておくことで液晶駆動波形の切り替わり時の急激な液晶パネルの駆動負荷の変動に対応している。

【0006】

【発明が解決しようとする課題】従来の方式では、液晶駆動電圧を安定化するために半導体集積回路外部に容量を接続する必要があった。このため、実装する部品が増加してしまうことになり、実装のコストアップにつながる。一方、半導体集積回路にとっては液晶駆動出力の端子を設ける必要があるため、半導体集積回路のチップサイズを小さくできないという不具合が生じる。

【0007】また、半導体集積回路外部の液晶駆動電圧の安定化のための容量を削減する方法としては、図4のように液晶の駆動波形の切り替わり時点で液晶駆動電圧出力の内蔵負荷電流を大きくして出力のインピーダンスを下げることに、液晶駆動電圧出力の液晶パネル負荷に対する応答を上げる方法があるが、液晶パネルのサイズおよび負荷の状況によらず定期的に負荷電流を流しているため、液晶駆動電圧発生回路における消費電力が大きくなってしまふ。さらには液晶パネルのサイズが大きくなり、液晶駆動の負荷が大ききときには内蔵負荷電流を流すタイミングによっては、その時間が短すぎ液晶表示の品質が劣化するという不具合がある。

【0008】

【課題を解決するための手段】半導体集積回路において、複数レベルの駆動電圧を形成する液晶基準電圧発生回路と、前記液晶基準電圧発生回路により形成されたそれぞれの液晶駆動基準電圧を、インピーダンス変換するためのボルテージフォロア型バッファアンプと、前記バッファアンプより出力される液晶駆動電圧と前記バッファアンプの非反転入力へ入力される前記液晶駆動基準電圧を比較するための作動的に入力オフセット電圧を持た

50

3

せた比較器と、前記比較器からの出力により制御される前記駆動電圧への負荷回路からなることを特徴とする。

【0009】

【作用】本発明によれば、図5に示すように、液晶基準電圧であるV1と、V1を501から507および510により構成されるバッファアンプによりインピーダンス変換した液晶駆動電圧出力VL1とを511から515により構成されるコンパレータにより比較し、液晶パネルの負荷によりVL1の出力電位がVDD側へシフトしている場合、VSS側への負荷に接続しているN型MOSトランジスタ509をONさせVSS側への内蔵負荷508を増やすことにより、液晶駆動電圧出力VL1の出力インピーダンスを低くし、バッファアンプからの出力電位VL1を安定させる。VL1の出力電圧がV1と同じ電圧に収束した場合には前記N型MOSトランジスタ509をOFFさせ内蔵負荷を507のMOSトランジスタのみとする事により、バッファアンプの出力段で消費する電流を低減する。

【0010】VSS側の液晶駆動電圧出力VL2についても、同様な方式で液晶駆動出力VL2のバッファアンプの出力インピーダンスを制御し、VL2の出力電圧を安定化させる。

【0011】さらに、図5に示す上記コンパレータ回路の作動増幅段のMOSトランジスタ501とMOSトランジスタ514はトランジスタのチャネル長がそれぞれ異なるように形成されており、これにより作動的に入力オフセット電圧VOFをもたせている。MOSトランジスタ514のチャネル長をMOSトランジスタ513に比べて長くする事により、判定電圧 $=V_{L1} + VOF$ というプラスのオフセット電圧を与えている。これにより安定状態であるV1=VL1の状態でのVSS側への負荷に接続しているN型MOSトランジスタが常時ONすることを防止し、消費電流の増加を防ぐという作用を有する。

【0012】以上のように、それぞれの液晶駆動電圧出力に同様な構成をとることにより、前述のような効果がそれぞれの電圧出力に対して得られる。

【0013】

【発明の実施の形態】図1が本発明の請求項1に相当する図である。図中101は液晶駆動用の基準電圧を発生する基準電圧発生回路である。この基準電圧発生回路からは、液晶パネルの駆動バイアスに応じた複数レベルの基準電圧を出力する。この基準電圧発生回路の1つの例を図6に示す。図6は1/3バイアスの液晶駆動基準電圧を出力した時の例である。1側電源VDDおよび側電源VSS間を固定抵抗R1、R2、R3および可変抵抗R4により分割し、液晶駆動用の基準電圧V1、V2、V3を発生している。半導体装置中の抵抗R4を可変抵抗とすることで、液晶駆動電圧を調整する事ができ、液晶表示のコントラスト調整が可能となる。消費電流を

(3)

特開2000-111867

4

低減するためには、R1からR4の抵抗値は比較的高く設定する必要があるため、V1、V2、V3の出力インピーダンスは高くなる。

【0014】図1の102および103は液晶駆動用の基準電圧発生回路からのV1、V2、V3の液晶駆動基準電圧をインピーダンス変換するためのバッファアンプでありボルテージフォロアで結線されている。VL1、VL2、VL3はバッファアンプ102、106、110によりインピーダンス変換された液晶駆動電圧の出力である。VDDに近い出力であるVL1の液晶パネル負荷としてはVL2、VL3へのマイナス側への負荷が主となるため、図2に示すようなP型MOSの出力バッファが選択される。逆にVL2、VL3の駆動電圧出力への液晶パネル負荷はプラス側への負荷が主となるため、図3に示すようなN型MOSの出力バッファが選択される。

【0015】ここではP型MOS出力バッファを持ったVL1について説明する。図1中の103は102のバッファアンプの出力VL1とバッファアンプの非反転入力V1の電圧レベルを比較する比較器である。この比較器の出力は104のVL1のVSS側への内蔵負荷を制御するN型MOSのゲートに結線され、VL1への内蔵負荷電流を制御する。比較器103の非反転入力に入力されるVL1の電圧レベルが比較器103の反転入力に入力されるV1の電圧レベルより高い場合、比較器103の出力は高レベルが出力され、105のVL1への負荷を制御するN型MOSがONする。逆にVL1のレベルが比較器103の反転入力へ入力されているV1と比較器103の作動段に与えられたオフセット電圧VOFの和である、比較器の判定電圧より低い場合には105のN型MOSはOFFし、消費電流を低減する。105のN型MOSトランジスタにより制御される104の負荷は、製造コストやその負荷の占める面積等を考慮して決定され、拡散抵抗やイオン打ち込みされたPOLYの抵抗成分によって形成されてもよいし、MOSトランジスタで構成されてもよい。また、104の負荷を制御するMOSと104のVL1への負荷は状況により、105のMOSがVL1側へ挿入され、104の負荷がVSS側へ挿入されても本発明の効果を有するのになんら問題が無い事は容易に想像される。

【0016】図5に本発明のトランジスタレベルでの1つの実施例を示す。図中VGは定電流回路より発生されるある一定の値をもった中間電圧である。この電圧によりバッファアンプおよび比較器で消費される電流が制御される。501から507のMOSトランジスタおよび抵抗510で構成されるのがV1の入力をVL1へインピーダンス変換するバッファアンプ部である。507のN型MOSトランジスタはVL1を安定化するための最低限の負荷であり、本発明の場合この負荷電流の値は数マイクロアンペアまたはそれ以下の負荷で問題無い。5

50

5

11から515のMOSトランジスタで構成されているのが比較器である。V1の電圧レベルとVL1の電圧レベルを比較し、その結果により509のMOSトランジスタを制御する。ミラー回路で構成されている513のMOSトランジスタと514のMOSトランジスタは入力オフセット電圧を持たせるために、その能力が異なるようにサイズを換えて形成されている。

【0017】図5の場合、514のMOSトランジスタの能力は513のMOSトランジスタの能力に比べて小さくなるように設定されている。これにより511から515のMOSトランジスタで構成される比較器にプラス側の入力オフセット電圧を持たせている。514のMOSトランジスタの能力を小さく調整する方法としては、チャネル長を513のMOSトランジスタに比べて長く設定する事で容易に実現可能である。他にもチャネル幅を狭めることでも対応可能である。さらには513と514のスレッショルド電圧を製造上で調整する事によっても実現可能である。この比較器の出力は509のMOSトランジスタに接続され508の負荷のON/OFFの制御を行う。509のMOSが比較器からの出力によりONした場合の負荷508に流れる、VL1への負荷電流は大きめに設定されている必要がある。もちろん図5の実施例において507の負荷をなくしても動作させる事は問題無いが、比較器の応答速度等を考慮した場合、507に構成したようにある程度の負荷電流を与えた方が安定した低消費電流動作を実現する。VL2、VL3の出力に関しても同様に回路を構成する事で上記効果を得ることが可能である。ただし、1/3バイアス液晶駆動回路のVL2、VL3出力に関して、その出力はN型MOS出力になる。以上により、液晶パネルの負荷状況にあわせて液晶駆動電圧の出力の負荷電流を制御する事により出力インピーダンスを自動で変化させ安定した液晶駆動電圧を出力させることが可能となる。

【0018】

【発明の効果】本発明によれば、液晶駆動基準電圧と液晶駆動基準電圧をインピーダンス変換したあとの液晶駆動電圧出力とを比較し、その比較結果により液晶駆動電圧出力の負荷を自動で制御する事により、液晶駆動電圧出力の出力インピーダンスを液晶パネルの負荷の状況に応じて切り替える事が可能となる。このため単一の液晶駆動電圧出力回路において、負荷の小さい小型の液晶パネルから、サイズの大きな液晶パネルまで、それぞれに最適な液晶駆動電源回路を提供する事が可能となり、それぞれに必要な最小限の消費電流とする事ができる。また、液晶駆動電圧出力の出力インピーダンスを液晶駆動電圧

(4)

特開2000-111867

6

出力回路にて自動で制御するため、IC外部に液晶駆動電圧出力を安定化するための容量を接続する必要がなくなり、容量接続用の端子の配設が不要となるため、本発明による液晶駆動電圧出力回路は小型の液晶駆動電圧出力回路を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の請求項1の回路構成を示す液晶駆動電圧出力回路図。

【図2】従来の液晶駆動電圧出力回路のPch-MOS出力回路図。

【図3】従来の液晶駆動電圧出力回路のNch-MOS出力回路図。

【図4】従来の液晶駆動電圧出力回路の図。

【図5】本発明の液晶駆動電圧出力回路のPch-MOS出力詳細回路図。

【図6】液晶駆動基準電圧発生回路図。

【符号の説明】

LCD Reference Voltage Generator.....液晶基準電圧発生回路

BUFFER AMP.....液晶基準電圧をインピーダンス変換するためのボルテージフォロア接続されたオプアンプ

COMPARATOR.....比較器

LOAD.....液晶電圧出力への電流負荷回路

VDD.....+側電源

VSS.....-側電源

V1.....第1の液晶基準電圧

V2.....第2の液晶基準電圧

V3.....第3の液晶基準電圧

30 VL1.....第1の液晶駆動電圧出力

VL2.....第2の液晶駆動電圧出力

VL3.....第3の液晶駆動電圧出力

VG.....定電流回路より発生される一定の値を持った中間電圧

Pch Output.....P型MOS出力

Nch Output.....N型MOS出力

LOAD Resistor.....抵抗性負荷

LCD Drive Waveform.....液晶駆動波形

40 Vbias.....液晶駆動電圧出力負荷制御信号

R1.....液晶基準電圧発生回路の第1の抵抗

R2.....液晶基準電圧発生回路の第2の抵抗

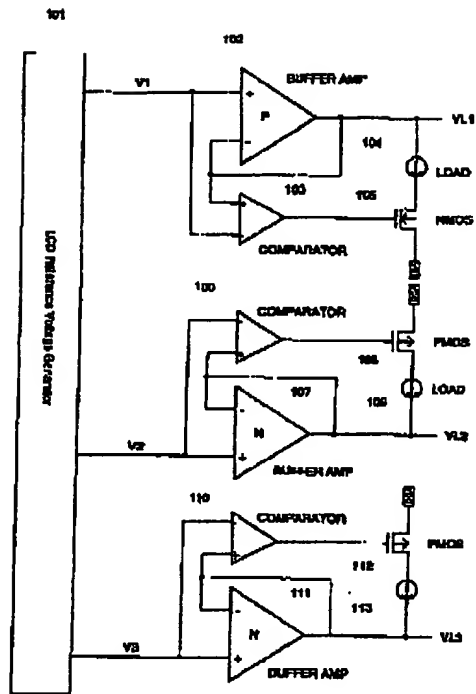
R3.....液晶基準電圧発生回路の第3の抵抗

R4.....液晶基準電圧発生回路の第4の可変抵抗

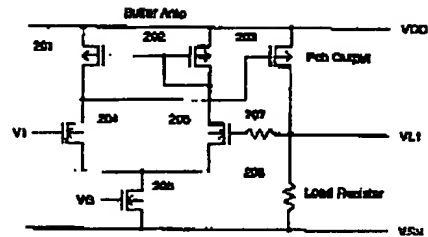
(5)

特開2000-111867

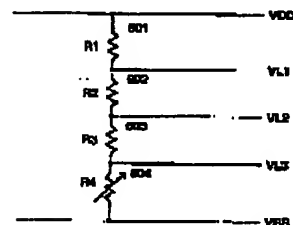
【図1】



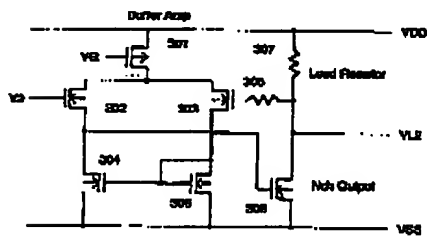
【図2】



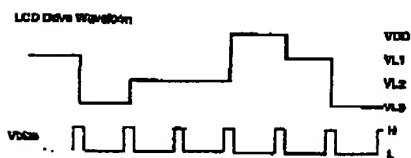
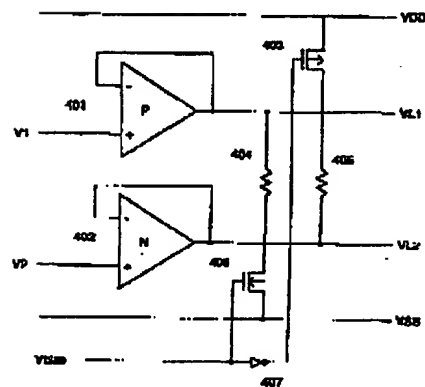
【図6】



【図3】



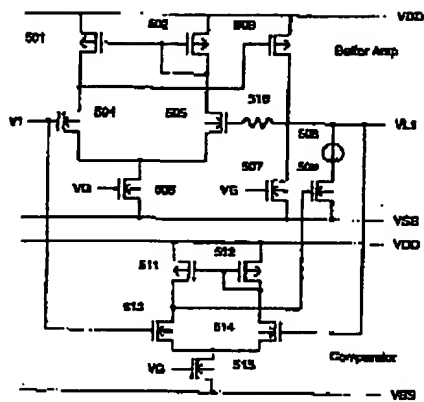
【図4】



(6)

特開2000-111867

【図5】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**